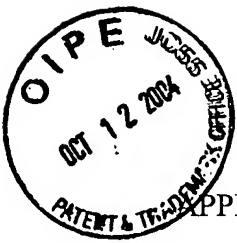


IFW



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: SHOICHIRO MATSUMOTO )  
SERIAL NO.: 10/789,720 )Group Art Unit:  
FILED: FEBRUARY 27, 2004 ) 2812  
FOR: COLOR DISPLAY DEVICE )

CLAIM FOR PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Commissioner:

Enclosed herewith is a certified copy of Japanese Patent Application No. 2003-055854 filed on March 3, 2003. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicant hereby claims the benefit of the filing date of March 3, 2003, of the Japanese Patent Application No. 2003-055854, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: Lisa A. Bongiovi  
Lisa A. Bongiovi  
Registration No. 48,933  
Cantor Colburn LLP  
55 Griffin Road South  
Bloomfield, CT 06002  
Telephone: (860) 286-2929  
Customer No. 23413

I hereby certify that this correspondence was deposited with the United States Postal Service as first class mail in an envelope addressed to: Mail Stop _____, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on	
October 7, 2004 (Date of Deposit)	
Nancy K. Wilson (Name of Person Mailing Paper)	
<u>Nancy K. Wilson</u> Signature	<u>10/7/04</u> Date

Date: October 7, 2004



Translation of Priority Certificate

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: March 3, 2003

Application Number: Patent Application  
No. 2003-055854  
[ST.10/C]: [JP2003-055854]

Applicant(s): SANYO ELECTRIC CO., LTD.

January 29, 2004

Commissioner, Japan Patent Office  
Yasuo Imai

Priority Certificate No. 2004-3004022

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出願年月日 2003年 3月 3日  
Date of Application:

願番号 特願2003-055854  
Application Number:

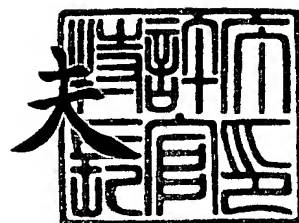
特. 10/C]: [JP2003-055854]

願人 三洋電機株式会社  
Applicant(s):

2004年 1月29日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



CERTIFIED COPY OF  
PRIORITY DOCUMENT

出証番号 出証特2004-3004022

BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 RSL1030018

【提出日】 平成15年 3月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H05B 33/20

【発明者】

    【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会  
社内

    【氏名】 松本 昭一郎

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

    【代表者】 桑野 幸徳

【代理人】

    【識別番号】 100111383

    【弁理士】

    【氏名又は名称】 芝野 正雅

    【連絡先】 0 3 - 3 8 3 7 - 7 7 5 1 知的財産センター 東京事  
務所

【手数料の表示】

    【予納台帳番号】 013033

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 エレクトロルミネッセンス表示装置

【特許請求の範囲】

【請求項 1】 それぞれ所定の色成分に対応付けられた複数の画素領域と、前記複数の画素領域に対応して配置され、それぞれ表示情報に対応する信号を選択的に各画素領域に供給する第 1 の薄膜トランジスタと、前記第 1 の薄膜トランジスタに接続され、前記表示情報に対応する信号を保持する保持容量と、を有するエレクトロルミネッセンス表示装置において、

前記複数の画素領域は第 1 の方向における長さがそれぞれ等しく、少なくとも 1 つの色成分に対応付けられた前記画素領域は、他の色成分に対応付けられた前記画素領域と第 2 の方向において異なる長さに形成され、

前記第 1 の薄膜トランジスタの半導体層が、前記第 1 の方向と交差する第 3 の方向に形成され、前記第 1 の薄膜トランジスタのゲートの端部から前記保持容量電極までの距離が各画素領域において等しく形成されることを特徴とするエレクトロルミネッセンス表示装置。

【請求項 2】 それぞれ所定の色成分に対応付けられた複数の画素領域と、前記複数の画素領域に対応して配置され、それぞれ表示情報に対応する信号を選択的に各画素領域に供給する第 1 の薄膜トランジスタと、前記第 1 の薄膜トランジスタに接続され、前記表示情報に対応する信号を保持する保持容量と、を有するエレクトロルミネッセンス表示装置において、

前記複数の画素領域は第 1 の方向における長さがそれぞれ等しく、少なくとも 1 つの色成分に対応付けられた前記画素領域は、他の色成分に対応付けられた前記画素領域と第 2 の方向において異なる長さに形成され、

前記第 1 の薄膜トランジスタの半導体層が、前記第 1 の方向と交差する第 3 の方向に形成され、前記第 1 の薄膜トランジスタのチャネル領域から前記保持容量までの負荷が一定であることを特徴とするエレクトロルミネッセンス表示装置。

【請求項 3】 異なる色成分に対応した前記画素領域の第 2 の方向における長さが互いに異なることを特徴とする請求項 1 または請求項 2 に記載のエレクトロルミネッセンス表示装置。

【請求項 4】 前記保持容量は複数の保持容量電極が重畳する領域に形成され、各画素領域における前記重畳する領域の面積、形状または前記保持容量が実質的に等しいことを特徴とする請求項 1 から請求項 3 のいずれかに記載のエレクトロルミネッセンス表示装置。

【請求項 5】 各画素領域にそれぞれ対応して配置された前記第 1 の薄膜トランジスタの形状及び大きさがそれぞれ等しいことを特徴とする請求項 1 から請求項 4 のいずれかに記載のエレクトロルミネッセンス表示装置。

【請求項 6】 前記エレクトロルミネッセンス表示装置は、前記表示情報に対応した信号を各前記画素領域に供給する複数の信号線をさらに有し、前記信号線は、前記第 1 の薄膜トランジスタのドレイン領域またはソース領域の一方に接続されていることを特徴とする請求項 1 から請求項 5 のいずれかに記載のエレクトロルミネッセンス表示装置。

【請求項 7】 前記エレクトロルミネッセンス表示装置は、前記複数の画素領域にそれぞれ対応して配置される画素電極及び前記画素電極に接続される第 2 の薄膜トランジスタをそれぞれ有し、前記第 2 の薄膜トランジスタのゲートは、前記第 1 の薄膜トランジスタに接続されていることを特徴とする請求項 6 に記載のエレクトロルミネッセンス表示装置。

【請求項 8】 前記信号線から前記第 1 の薄膜トランジスタのゲートの距離は、異なる色成分に対応付けられた前記画素領域において互いに等しいことを特徴とする請求項 6 または請求項 7 に記載のエレクトロルミネッセンス表示装置。

【請求項 9】 前記第 2 の薄膜トランジスタの形状及び大きさがそれぞれ等しいことを特徴とする請求項 7 または請求項 8 に記載のエレクトロルミネッセンス表示装置。

【請求項 10】 前記信号線から前記画素電極までの負荷が、異なる色成分に対応付けられた画素領域において互いに等しいことを特徴とする請求項 6 から請求項 9 のいずれかに記載のエレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

本発明は、エレクトロルミネッセンス（Electroluminescence：EL）等の自発光素子及び薄膜トランジスタ（TFT）を用いたカラー表示装置及びその設計方法に関する。

**【0 0 0 2】****【従来の技術】**

近年、EL素子を用いたEL表示装置が、CRTやLCDに代わる表示装置として注目されている。図5は、従来のEL表示装置の画素領域を示す平面図であり、図6（a）及び（b）は図5のA-A断面図及びB-B断面図である。以下、図5及び図6を用いて、従来のEL表示装置の画素領域とその周辺の構造について説明する。

**【0 0 0 3】**

ゲート信号線51が水平方向に、ドレイン信号線52及び駆動電源線53が垂直方向に形成されている。これらのゲート信号線51、ドレイン信号線52及び駆動電源線53に囲まれる領域に高さ（垂直方向の長さ）Hと、幅（水平方向の長さ）Wを有する画素領域Pが配置されている。画素領域P内には、スイッチング素子である第1のTFT10、保持容量電極線54及び保持容量電極55の一部が、画素電極61とゲート信号線51の間に配置されている。直列に接続される2つの第1のTFT10のゲート15はゲート信号線51にそれぞれ接続されると同時に、半導体層13の一部の領域を覆っている。このゲート15に覆われた領域がチャネル領域13cとなり、各チャネル領域13cを挟むようにしてソース領域13s及びドレイン領域13dが配置されている。ドレイン信号線52側のソース領域13sはドレイン電極17を介してドレイン信号線52に接続されている。なお、ドレイン信号線52からドレイン信号線52に接続される第1のTFT10のゲート15までの距離はLdである。ドレイン信号線52に直接接続されていない第1のTFT10のソース領域13sは、保持容量電極線54との間で保持容量Csをなす保持容量電極55に接続されている。なお、保持容量Csから保持容量Csに接続される第1のTFT10のゲート15までの距離はLsである。

**【0 0 0 4】**

画素領域P内には、さらに並列に接続される2つの第2のTFT20が配置されている。このTFT20の半導体層23のうち、ゲート25に覆われている領域がチャネル領域2

3cとなり、このチャンネル領域23cを挟むようにしてソース領域23s及びドレイン領域23dが配置されている。ソース領域23sは駆動電源線53にそれぞれ接続されており、ドレイン領域23dはドレイン電極24に接続され、さらにドレイン電極24を介して有機EL素子の画素電極61に接続されている。

#### 【0 0 0 5】

##### 【発明が解決しようとする課題】

カラーEL表示装置においては、異なる色成分に対応した複数の画素領域を周期的に配置することによって、カラー表示を実現している。各色成分ごとに異なるEL材料を用いるEL表示装置では、EL材料の寿命を各色成分で揃えることが結果として表示装置全体の長寿命化につながる。この長寿命化の1つの方法として、各色成分を示すEL材料の特性に応じて発光が視認される領域を色成分ごとに異ならせるために、例えば図7のように、赤色 (R) ・ 緑色 (G) ・ 青色 (B) に対応した画素領域 $P_R \cdot P_G \cdot P_B$ の幅 $W_R \cdot W_G \cdot W_B$ をそれぞれ固有の値にすることが考えられる。また、共通のEL材料を用い、視認側にカラーフィルタや色変換層を設けてカラー表示をするEL表示装置においても、各画素領域に対応したEL素子の寿命をそろえるために図7のようにすることが考えられる。

#### 【0 0 0 6】

しかしながら、このようなレイアウトにおいては、各色成分に対応した画素領域内の距離 $L_d$ を等しくしてしまうと、異なる色成分に対応した画素領域において距離 $L_s$ が異なってしまう。この場合、ドレイン信号線52からの信号が第1のTFT10を介して保持容量または第2のTFT20に書き込まれる時間が各色成分に対応した画素領域において一定とならない。また、保持容量 $C_s$ も各色成分に対応した画素領域ごとに異なるので、蓄積できる保持容量も異なり、第1のTFT10を通った信号が保持容量 $C_s$ に保持される割合も異なる。ゆえに、保持容量 $C_s$ も一種の負荷であるから、各色成分に対応した画素領域に配置される保持容量 $C_s$ により失われる信号の割合も異なる。ゆえに、色成分毎にこれらの書き込み時間と書き込み割合などを調節・制御しなければならないという不便さと困難さがあつた。

#### 【0 0 0 7】

##### 【課題を解決するための手段】



本発明は、以上の点を鑑みてなされたものであり、以下のような特徴を有する。

#### 【0008】

第1に、それぞれ所定の色成分に対応付けられた複数の画素領域と、前記複数の画素領域に対応して配置され、それぞれ表示情報に対応する信号を選択的に各画素領域に供給する第1の薄膜トランジスタと、前記第1の薄膜トランジスタに接続され、前記表示情報に対応する信号を保持する保持容量と、を有するエレクトロルミネッセンス表示装置において、前記複数の画素領域は第1の方向における長さがそれぞれ等しく、少なくとも1つの色成分に対応付けられた前記画素領域は、他の色成分に対応付けられた前記画素領域と第2の方向において異なる長さに形成され、前記第1の薄膜トランジスタの半導体層が、前記第1の方向と交差する第3の方向に形成され、前記第1の薄膜トランジスタのゲートの端部から前記保持容量電極までの距離が各画素領域において等しく形成されることを特徴とする。

#### 【0009】

第2に、それぞれ所定の色成分に対応付けられた複数の画素領域と、前記複数の画素領域に対応して配置され、それぞれ表示情報に対応する信号を選択的に各画素領域に供給する第1の薄膜トランジスタと、前記第1の薄膜トランジスタに接続され、前記表示情報に対応する信号を保持する保持容量と、を有するエレクトロルミネッセンス表示装置において、前記複数の画素領域は第1の方向における長さがそれぞれ等しく、少なくとも1つの色成分に対応付けられた前記画素領域は、他の色成分に対応付けられた前記画素領域と第2の方向において異なる長さに形成され、前記第1の薄膜トランジスタの半導体層が、前記第1の方向と交差する第3の方向に形成され、前記第1の薄膜トランジスタのチャネル領域から前記保持容量までの負荷が一定であることを特徴とする。

#### 【0010】

これらの発明によれば、色成分毎の画素領域の幅が異なっても、薄膜トランジスタ及び保持容量の形状が同一となるので、ドレイン信号線からの信号線を、同じ時間で且つ同じ割合で書き込むことができる。ゆえに、異なる色成分に対応し

た画素領域内の薄膜トランジスタ及び保持容量を個別に設計する必要がなく、1つの色成分に対応する画素領域内の設計を、他の色成分に対応する画素領域内の設計に反映させることができるので、設計期間が大幅に短縮される。

### 【0011】

#### 【発明の実施の形態】

図1は、本発明の実施の形態であるEL表示装置の画素領域を示す平面図であり、図3は、図1の画素領域を簡略化して示した図である。以下、これらの図を用いて、本実施例におけるEL表示装置の画素領域とその周辺の構造について説明する。

### 【0012】

複数のゲート信号線51が水平方向に、複数のドレイン信号線52及び複数の駆動電源線53が垂直方向に形成されている。各色成分に対応した画素領域 $P_R \cdot P_G \cdot P_B$ が、ゲート信号線51、ドレイン信号線52及び駆動電源線53に囲まれる領域に配置されている。なお、画素領域 $P_R \cdot P_G \cdot P_B$ は、垂直方向（第1の方向）において高さ $H$ が等しく、垂直方向（第2の方向）において幅 $W_R \cdot W_G \cdot W_B$ が異なっている。各画素領域には、直列に接続される2つの第1のTFT10、及び保持容量電極線54ならびに保持容量電極55の一部が、画素電極61とゲート信号線51の間に配置されている。スイッチング素子である2つの第1のTFT10の半導体層13は、ゲート信号線51と平行（第3の方向）に配置されている。第1のTFT10のゲート15がゲート信号線51にそれぞれ接続され、半導体層13の一部の領域を覆っている。このゲート15に覆われている領域がチャネル領域13cとなり、各チャネル領域13cを挟むようにしてソース領域13s及びドレイン領域13dが配置されている。ドレイン信号線52側のソース領域13dはドレイン電極16を介してドレイン信号線52に接続されている。なお、各色成分に対応した画素領域 $P_R \cdot P_G \cdot P_B$ において、ドレイン信号線52からドレイン信号線52に接続される第1のTFT10のゲート15までの距離 $LR_d \cdot LG_d \cdot LB_d$ は互いに異なっている。ドレイン信号線52に直接接続されていない第1のTFT10のソース領域13sは保持容量電極55に接続されている。この保持容量電極55は、保持容量電極線54と重畳している領域で保持容量 $C_s$ を形成している。なお、保持容量 $C_s$ 、即ち保持容量 $C_s$ を形成する保持容量電極線54または保持容量電極55の端部

から保持容量Csに接続される第1のTFT10のゲート15までの距離Lsは各色成分に対応した画素領域 $P_R \cdot P_G \cdot P_B$ において等しくなっている。

#### 【0013】

各画素領域には、さらに、並列に接続される2つの駆動素子である第2のTFTが配置されている。この第2のTFT20の半導体層23のうち、ゲート25に覆われている領域がチャンネル領域23cとなり、このチャンネル領域23cを挟むようにしてソース領域23s及びドレイン領域23dが配置されている。ソース領域23sは駆動電源線53にそれぞれ接続されており、ドレイン領域23dはドレイン電極24に接続され、さらにドレイン電極24を介して有機EL素子の画素電極61に接続されている。なお、保持容量Csは、画素外部から電圧が印加されない一定期間、第2のTFT20へ電圧を印加し、発光を持続させるためのものである。

#### 【0014】

また、保持容量電極線54は、ゲート絶縁膜14を介して、第1のTFT10のソース領域13sに接続された保持容量電極55を兼ねた半導体層13に対向するように形成されている。これにより、保持容量電極線54と保持容量電極55との間で電荷を蓄積して容量を成している。この容量は、第2のTFT20のゲート25に印加される電圧を保持する保持容量Csとなる。なお、本実施の形態では、各画素領域に配置される保持容量Csは共通の形状に形成されている。

#### 【0015】

図2 (a) ・ (b) は、図1のA-A及びB-B断面図である。以下、これらの図を用いて、これらの実施の形態におけるEL表示装置の断面構造について説明する。

#### 【0016】

まず、スイッチング素子である第1のTFT10付近について説明する。絶縁性基板11上に、SiO<sub>2</sub>膜、SiN膜などからなる絶縁膜12が形成されており、その上に多結晶シリコン膜からなる半導体層13が順に積層されている。なお、半導体層13には、ソース13s、ドレイン13d、ならびにその間に位置するチャンネル13cが設けられている。その上に、SiO<sub>2</sub>膜、SiN膜などからなるゲート絶縁膜14が積層され、チャンネル13cに対応した位置にクロム、モリブデン等の高融点金属からなるゲート15を兼ねたゲート信号線51及び保持容量電極線54が形成されている。さらに、そ

の上の全面にはSiO<sub>2</sub>膜、SiN膜からなる層間絶縁膜16が形成されており、この層間絶縁膜16のドレイン13dに対応する位置に形成したコンタクトホールにAl等の金属を充填したドレイン電極17が設けられ、さらに基板全面に表面を平坦にする平坦化膜18が形成されている。また、ソース13sは、保持容量電極55に接続されており、ソース13sから保持容量電極55までの距離LRs・LGs・LBsは全て等しくなるように形成されている。そして、この保持容量電極55と、先に述べた保持容量電極線54とが重なる保持容量Csにおいて、保持容量が蓄積される。

#### 【0 0 1 7】

次に、有機EL素子の駆動素子である第2のTFT20について説明する。同じく絶縁性基板11上に、SiO<sub>2</sub>膜、SiN膜などからなる絶縁膜12が形成されており、その上に多結晶シリコン膜からなる半導体層23が順に積層されている。なお、半導体層23には、ソース23s、ドレイン23d、ならびにその間に位置するチャネル23cが設けられている。その上に、SiO<sub>2</sub>膜、SiN膜などからなるゲート絶縁膜14が積層され、チャネル23cに対応した位置にクロム、モリブデン等の高融点金属からなるゲート25が形成されている。そして、その上の全面に、SiO<sub>2</sub>膜、SiN膜からなる層間絶縁膜16を形成し、この層間絶縁膜16のソース領域23s及びドレイン23dに対応した位置に形成したコンタクトホールに金属を充填し、ソース電極24と駆動電源に接続された駆動電源線53とが形成されている。さらに、表面を平坦にするための有機樹脂からなる平坦化膜18を備えている。そして、その平坦化膜18のソース電極24に対応した位置にコンタクトホールを形成し、このコンタクトホールを介してソース電極24とコンタクトしたITO (Indium Tin Oxide) からなる透明電極、すなわち有機EL素子の画素電極61が平坦化膜18を覆うように設けられている。その上に、ホール輸送層62・発光層63・電子輸送層64からなる発光素子層65と、マグネシウム／インジウム合金等からなる陰極66とが、この順番で積層形成されている。

#### 【0 0 1 8】

以上の構成では、TFT10のゲート15から保持容量Csまでの距離を等しくし、保持容量Csの形状を等しくするので、TFT10のチャネル13cからTFT20のゲート25までにかかる抵抗や容量などの負荷を全ての画素領域で等しくすることができる。

ゆえに、ドレイン信号線52からの信号がTFT10を介しTFT20のゲートに書き込まれる時間を等しくすることができる。また、いずれか1つの色成分に対応した画素領域のTFT及び保持容量を設計することによって、他の色成分に対応した画素領域にもそのまま適用させることができる。ゆえに、画素設計にかかる時間を大幅に短縮することができ、設計にかかるコストを削減することができる。

#### 【0019】

本発明は以上の構成に限らず、第1のTFT10の半導体層13を配置する第3の方向は、第1の方向と交わる方向であれば良い。第1のTFT10及び第2のTFT20の形状・位置、及び／または保持容量電極の形状・位置は、設計パターンに応じて様々な形態に変更可能である。例えば、TFT10を1個または3個以上設けても良い。1つの画素領域に配置される第1のTFT10と第2のTFT20の個数は同数でなくても良い。また、設計期間をより短縮するためには、保持容量Csを同一の形状にすることが望ましい。しかし、設計上の都合等で同一形状にできない場合、信号の書き込み時間・書き込み割合は各画素領域で等しくなるように、保持容量Csの容量を同一にすれば良い。

#### 【0020】

また、本実施の形態においては、各色成分に対応した画素領域の幅 $W_R \cdot W_G \cdot W_B$ が互いに異なる場合について述べたが、1つの色成分に対応した画素領域の幅だけが、他の色成分に対応した画素領域の幅と異なっている場合も適用できる。

#### 【0021】

その他の実施の形態としては、例えば図3に示すものが考えられる。各画素領域内に配置されたドレイン信号線52には、各色成分に対応した画素領域に固有の凸部56が設けられている。その凸部56とドレイン13dがドレイン電極17を介して接続されている。この凸部56の突き出す長さにより、 $LR_d \cdot LG_d \cdot LB_d$ だけでなく、ドレイン13dからドレイン信号線52から延在する凸部56までの距離 $LR_d \cdot LG_d \cdot LB_d$ も全ての画素領域で等しくすることができる。それ以外の構造は先に述べた実施の形態と共通である。

#### 【0022】

本実施の形態によれば、異なる色成分に対応するが粗領域において、ドレイン

信号線52から第1のTFT10のゲート15の端部までの距離を共通に且つなるべく短くすることができるので、各画素領域 $P_R \cdot P_G \cdot P_B$ 内のドレイン信号線52から第1のTFT10までの負荷もなるべく小さく、且つ全ての画素領域で一定にすることができる。なお、本発明は以上の実施の形態に限らず、画素領域の幅が一番狭い画素領域（例えば $P_G$ ）に凸部56を設けないという構造も考えられる。

### 【 0 0 2 3 】

#### 【発明の効果】

本願発明によれば、異なる色成分に対応した画素領域の一方の長さが異なり、他方の長さが共通である場合において、その共通である方向と交わる方向に配置されるTFT及び保持容量電極の形状を実質的に一定にすることによって、異なる色を示す画素領域であっても、ほぼ画一的にレイアウトできるという効果を奏する。また、異なる色成分に対応した画素領域に配置されるTFTのTFT特性及び保持容量の保持特性をほぼ等しくすることができるので、スイッチング素子としてのTFTに供給する信号を駆動素子としてのTFTに書き込む時間または書き込む割合などを色成分毎に調節・制御する必要がないため、より設計時間を短縮することができる。例えば、3つの色成分を用いるEL表示装置の場合、単純に計算すると従来の1/3の時間で設計することができる。ゆえに、EL表示装置を設計するのに必要な時間を大幅に短縮でき、設計コストを下げることができる。

#### 【図面の簡単な説明】

- 【図1】 本発明の実施の形態におけるEL表示装置の画素領域を示す平面図
- 【図2】 本発明の実施の形態におけるEL表示装置の断面図
- 【図3】 本発明の実施の形態におけるEL表示装置の平面概略図
- 【図4】 本発明の他の実施の形態におけるEL表示装置の画素領域を示す平面図
- 【図5】 従来のEL表示装置の画素領域を示す平面図
- 【図6】 従来のEL表示装置の断面図
- 【図7】 従来のEL表示装置の平面概略図

#### 【符号の説明】

13c、23c チャンネル、 13s、23s ソース、 13d、23d ドレイン、 13、23 半

導体層

15、25 ゲート、 51 ゲート信号線、 52 ドレイン信号線、 54 保持容量

電極線

55 保持容量電極、 61 陽極、 62 ホール輸送層、 63 発光層、 64 電子

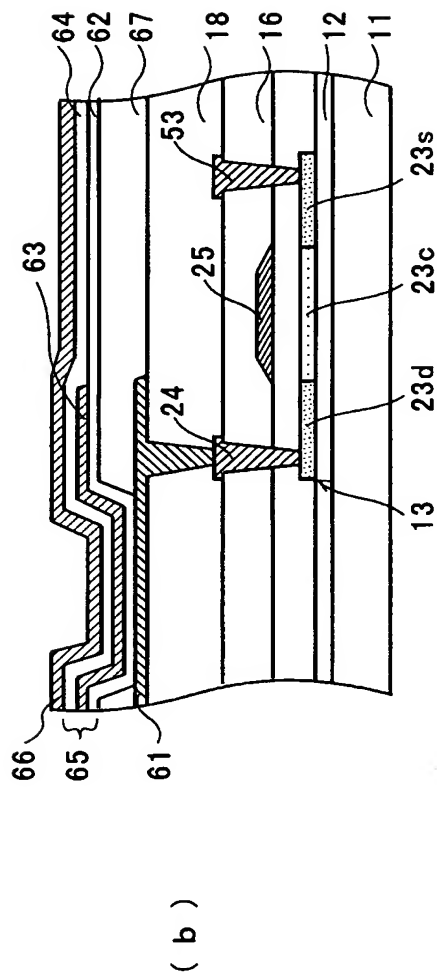
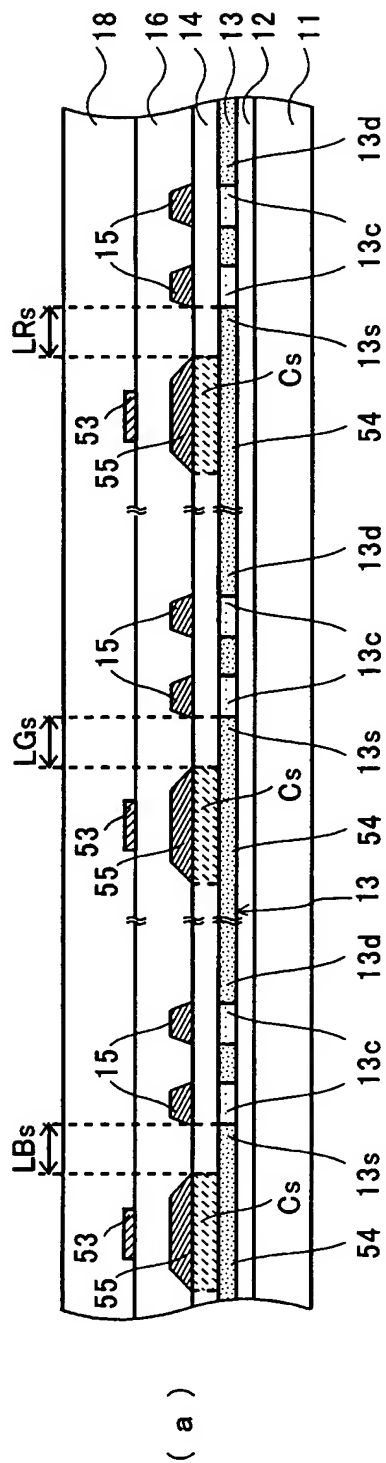
輸送層

66 陰極

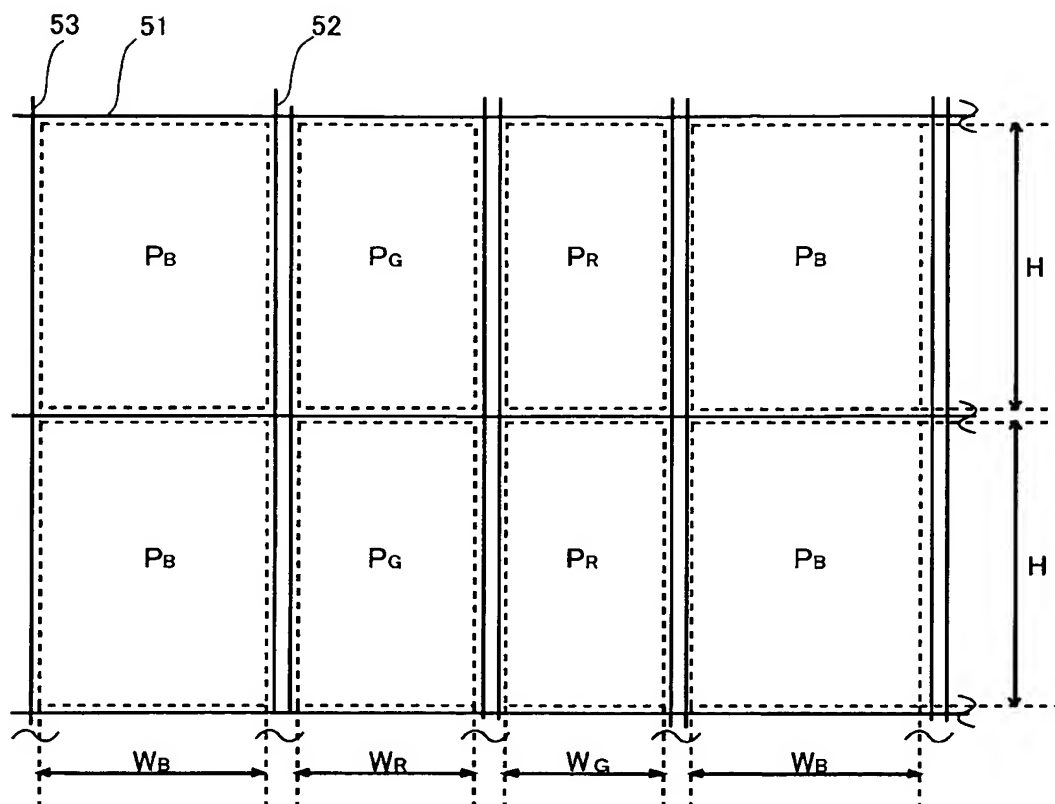




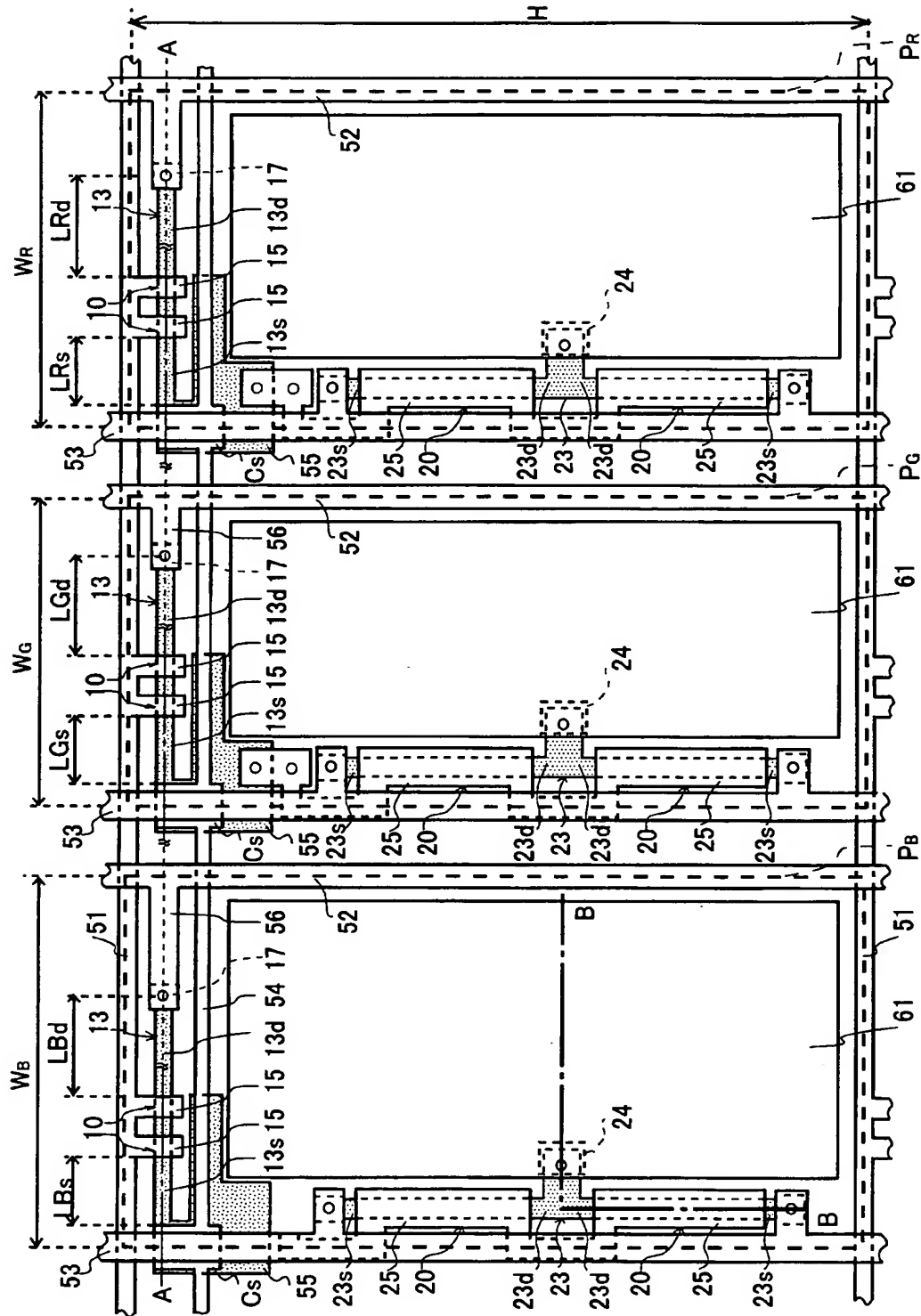
【図 2】



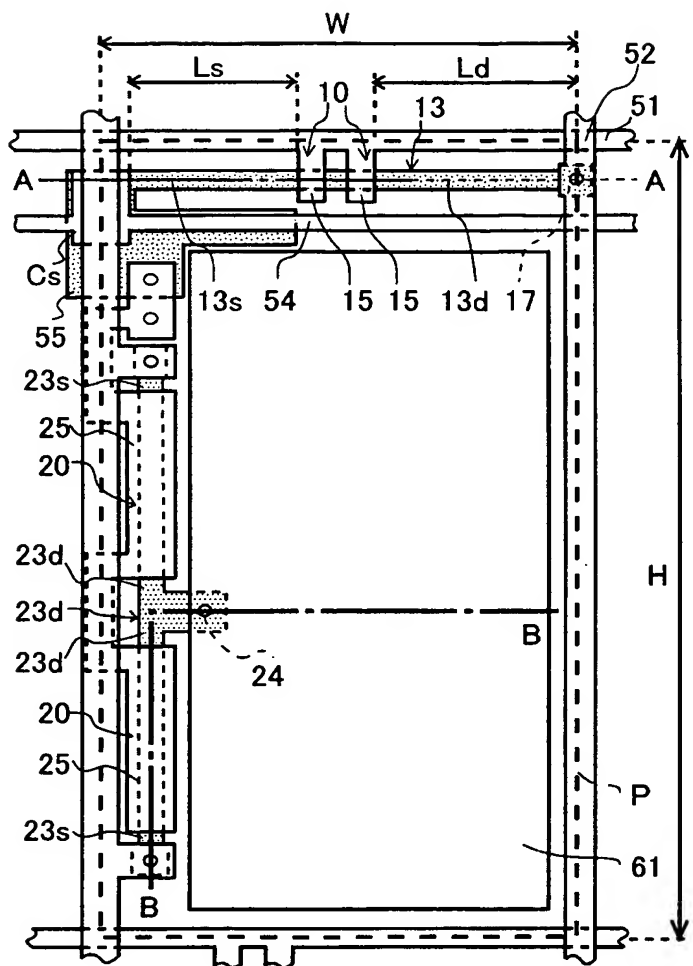
【図 3】



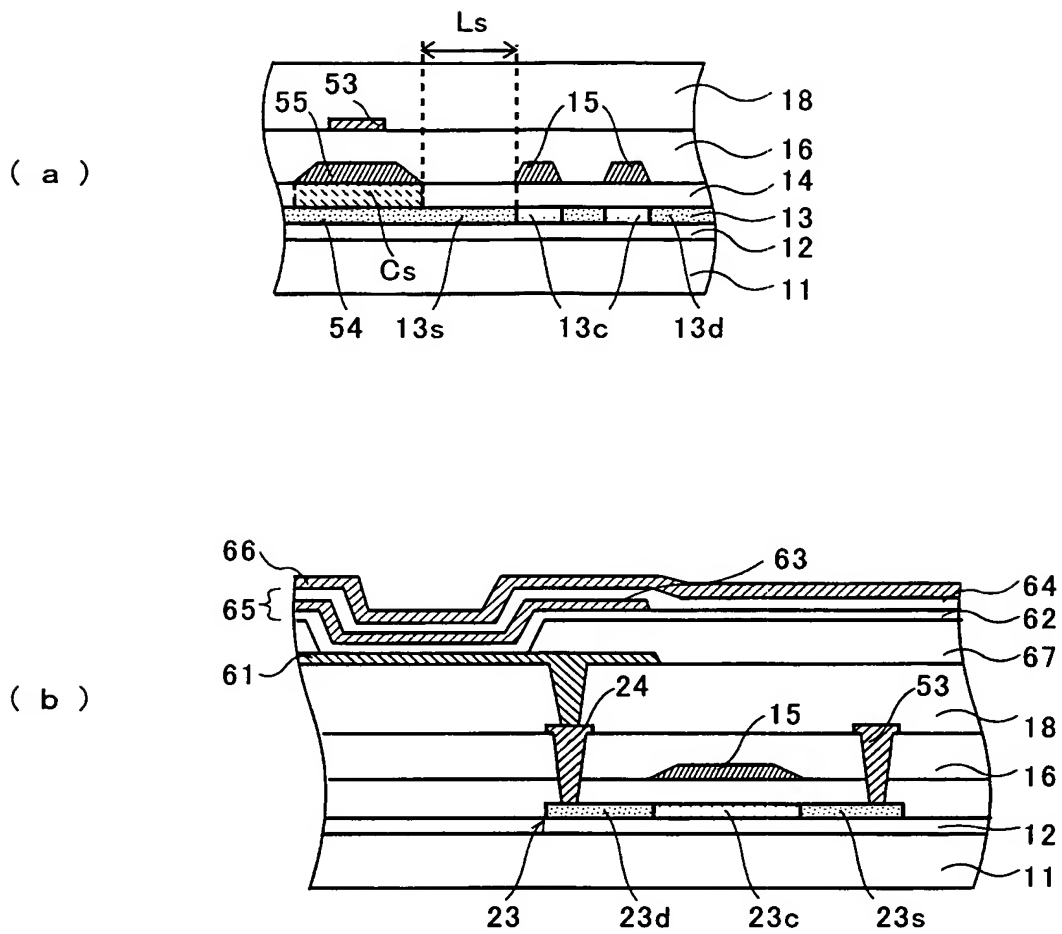
【図 4】



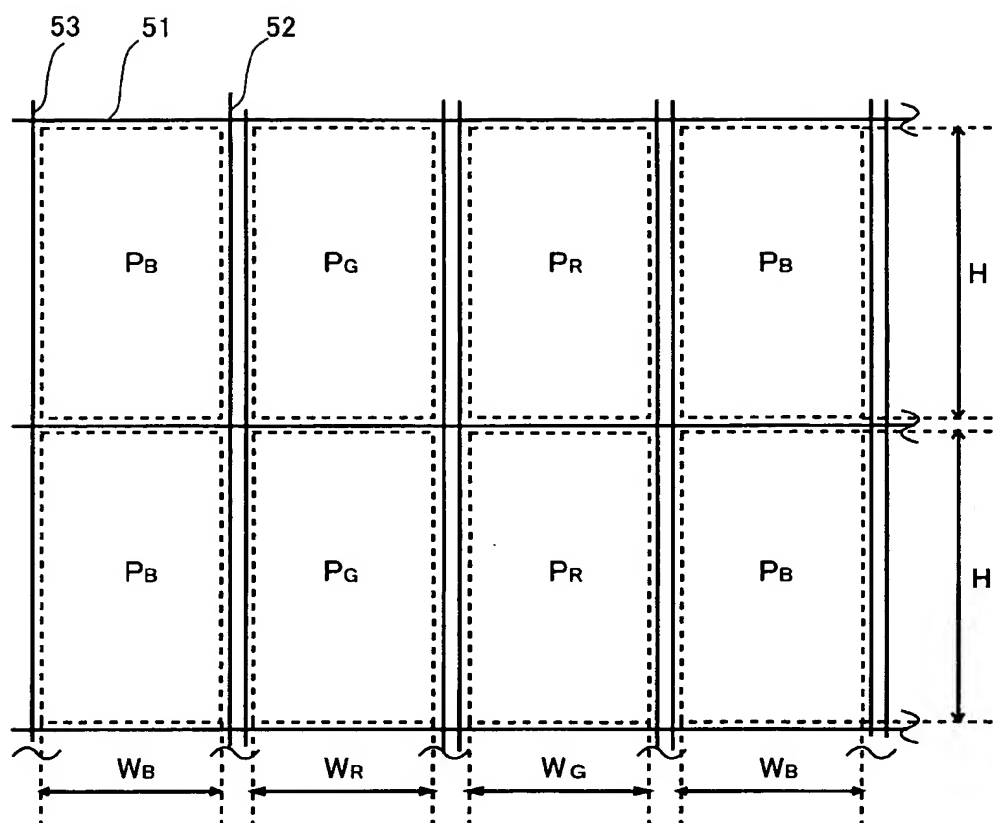
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】異なる色成分に対応してその幅がそれぞれ異なる複数の画素領域を配置するレイアウトにおいて、画素領域内に配置される保持容量Csから保持容量Csに接続される第1のTFT10のゲート15までの距離Lsがそれぞれ異なって形成されていた。これにより、色成分毎にTFT10を介して供給される信号の書き込み時間・書き込み割合などを調節・制御しなければならなかった。

【解決手段】異なる色成分に対応してその幅がそれぞれ異なる複数の画素領域を配置するレイアウトにおいても、画素領域内に配置される保持容量Csから保持容量Csに接続される第1のTFT10のゲート15までの距離Lsを等しくする。

【選択図】 図 1

特願 2 0 0 3 - 0 5 5 8 5 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社